

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-124877

(43)Date of publication of application : 26.04.2002

(51)Int.Cl.

H03M 1/14
H04N 5/335

(21)Application number : 2000-312347

(71)Applicant : HAMAMATSU PHOTONICS KK

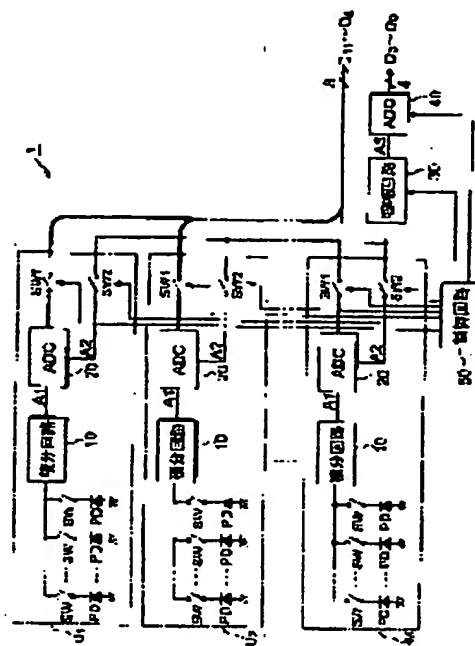
(22)Date of filing : 12.10.2000

(72)Inventor : FUJITA KAZUKI
MORI HARUMICHI
YAMAMOTO HIROO
MIZUNO SEIICHIRO

(54) A-D CONVERTER AND SOLID STATE IMAGE SENSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an A-D converter capable of accelerating or enhancing the accuracy of an A-D conversion process as needed and a solid state image sensor.
SOLUTION: An integrator 10 inputs and integrates a current signal output from a photodiode PD, and outputs a voltage value A1. A first A-D converter 20 converts the voltage value A1 into a 8-bit first digital value (D11 to D4), outputs a first digital value, and outputs a voltage value A2 in response to a difference between a voltage value corresponding to the first digital value and the value A1 to an amplifier 30. The amplifier 30 amplifies a difference between the analog value corresponding to the first digital value (D11 to D4) and the first analog value A1, and outputs the amplified difference to a second A-D converter 40. The amplifier 40 inputs a voltage value A3 outputted from the amplifier 30, converts the value A3 into a 4-bit second digital value (D3 to D0) and outputs the digital value.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

002007/PCT

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-124877

(P2002-124877A)

(43) 公開日 平成14年4月26日 (2002. 4. 26)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 3 M 1/14		H 0 3 M 1/14	B 5 C 0 2 4
H 0 4 N 5/335		H 0 4 N 5/335	Z 5 J 0 2 2

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2000-312347 (P2000-312347)

(22) 出願日 平成12年10月12日 (2000. 10. 12)

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の1

(72) 発明者 藤田 一樹

静岡県浜松市市野町1126番地の1 浜松ホ

トニクス株式会社内

(72) 発明者 森 治通

静岡県浜松市市野町1126番地の1 浜松ホ

トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外3名)

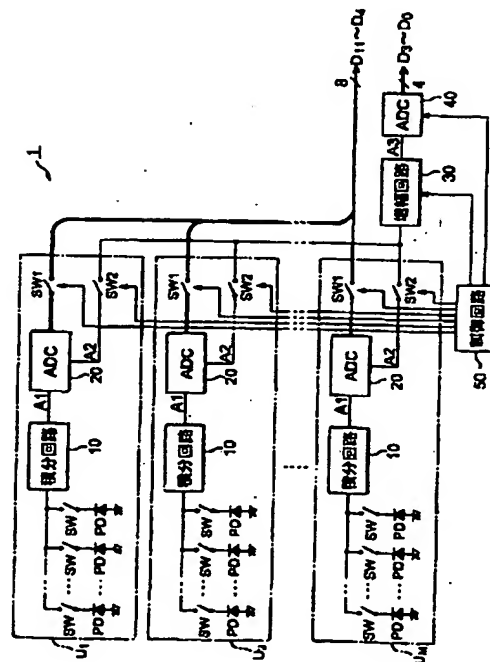
最終頁に続く

(54) 【発明の名称】 A/D変換装置および固体撮像装置

(57) 【要約】

【課題】 必要に応じてA/D変換処理の高速化または高精度化を図ることができるA/D変換装置および固体撮像装置を提供する。

【解決手段】 積分回路10は、フォトダイオードPDから出力された電流信号を入力し積分して電圧値A1を出力する。第1のA/D変換回路20は、電圧値A1を8ビットの第1のデジタル値(D₁₁~D₁)に変換して、第1のデジタル値を出力するとともに、第1のデジタル値に対応する電圧値と電圧値A1との差に応じた電圧値A2を増幅回路30へ出力する。増幅回路30は、電圧値A2に基づいて、第1のデジタル値(D₁₁~D₁)に対応するアナログ値と第1のアナログ値A1との差を増幅して第2のA/D変換回路40へ出力する。第2のA/D変換回路40は、増幅回路30から出力された電圧値A3を入力し、電圧値A3を4ビットの第2のデジタル値(D₂₁~D₂)に変換して出力する。



【特許請求の範囲】

【請求項1】 入力した第1のアナログ値を第1のデジタル値に変換する第1のA/D変換回路と、
前記第1のデジタル値に対応するアナログ値と前記第1のアナログ値との差を示す第2のアナログ値を、前記第1のデジタル値の下位の第2のデジタル値に変換する第2のA/D変換回路と、
前記第2のA/D変換回路を動作または停止させる制御手段と、
を備えることを特徴とするA/D変換装置。

【請求項2】 複数個の前記第1のA/D変換回路に対して1個の前記第2のA/D変換回路が設けられていることを特徴とする請求項1記載のA/D変換装置。

【請求項3】 前記差を増幅して前記第2のアナログ値とする増幅回路を更に備えることを特徴とする請求項1記載のA/D変換装置。

【請求項4】 入射光強度に応じた値の電流信号を出力する光検出素子と、
前記光検出素子から出力された電流信号を入力し積分して、この電流信号の積分値に応じた電圧値を出力する積分回路と、
前記積分回路から出力された電圧値を入力して、この電圧値をデジタル値に変換する請求項1記載のA/D変換装置と、
を備えることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログ値をデジタル値に変換するA/D変換装置、および、このA/D変換装置を含む固体撮像装置に関するものである。

【0002】

【従来の技術】固体撮像装置は、1次元または2次元に配列された複数の光検出素子と、各光検出素子から出力された電流信号を積分して電圧値に変換する積分回路と、を備えている。この固体撮像装置では、入射光強度に応じた値の電流信号が複数の光検出素子それぞれから出力され、この電流信号の積分値に応じた電圧値が積分回路から出力され、この電圧値に基づいて、入射光強度分布が得られ撮像される。また、固体撮像装置は、積分回路から出力された電圧値（アナログ値）をデジタル値に変換するA/D変換回路を更に備えている場合がある。この場合には、入射光強度はデジタル値として得られ、さらにコンピュータ等により画像処理することが可能となる。

【0003】このような固体撮像装置においてA/D変換処理の高速化および高精度化が求められている。高速化を図るためには、積分回路毎にA/D変換回路を設けて並列処理を行うことがなされている。また、高精度化を図るためには、A/D変換回路から出力されるデジタル値のビット数を多くすることがなされている。したが

って、A/D変換処理の高速化および高精度化の双方を図るためには、積分回路毎にA/D変換回路を設けて並列処理を行うとともに、各A/D変換回路から出力されるデジタル値のビット数を多くすることが考えられる。

【0004】

【発明が解決しようとする課題】しかしながら、複数の積分回路に対して1つのA/D変換回路を設ける場合と比較して、積分回路毎にA/D変換回路を設ける場合には、消費電力が多く発熱量が多くなり、これに因り、光検出素子から出力される電流信号に暗電流が重畳され、高精度化の要求に反することになる。また、各A/D変換回路から出力されるデジタル値のビット数を多くする場合には、ビット数に応じて処理時間が長くなり、高速化の要求に反することになる。このように、A/D変換処理の高速化および高精度化の双方の要求を同時に満たすことは困難である。

【0005】本発明は、上記問題点を解消する為になされたものであり、必要に応じてA/D変換処理の高速化または高精度化を図ることができるA/D変換装置、および、このA/D変換装置を含む固体撮像装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明に係るA/D変換装置は、(1) 入力した第1のアナログ値を第1のデジタル値に変換する第1のA/D変換回路と、(2) 第1のデジタル値に対応するアナログ値と第1のアナログ値との差を示す第2のアナログ値を、第1のデジタル値の下位の第2のデジタル値に変換する第2のA/D変換回路と、(3) 第2のA/D変換回路を動作または停止させる制御手段と、を備えることを特徴とする。

【0007】このA/D変換装置によれば、制御手段による制御により第2のA/D変換回路が動作可能状態にあるときには、入力した第1のアナログ値は第1および第2のA/D変換回路によりA/D変換されて、第1のデジタル値およびこれの下位の第2のデジタル値が出力されるので、高精度化を図ることができる。一方、制御手段による制御により第2のA/D変換回路が動作停止状態にあるときには、入力した第1のアナログ値は第1のA/D変換回路のみによりA/D変換されて、第1のデジタル値が出力されるので、高速化・低消費電力化を図ることができる。なお、「差」とは、第1のA/D変換回路が第1のアナログ値をA/D変換して第1のデジタル値を求める際において、第1のデジタル値の最下位ビットに対応するアナログ値未満の値である。

【0008】また、本発明に係るA/D変換装置は、複数個の第1のA/D変換回路に対して1個の第2のA/D変換回路が設けられていることを特徴とする。この場合には、複数個の第1のA/D変換回路それぞれは並列動作が可能であるのに対して、第2のA/D変換回路は、複数個の第1のA/D変換回路それぞれにおける上

記差を示す第2のアナログ値を順次に入力してA/D変換する。これにより、更に低消費電力化を図ることができる。

【0009】また、本発明に係るA/D変換装置は、差を増幅して第2のアナログ値とする増幅回路を更に備えることを特徴とする。この場合には、第1のA/D変換回路における上記差を示す電圧値が増幅回路により増幅され、第2のA/D変換回路は、この増幅された電圧値を第2のアナログ値として入力してA/D変換する。これにより、第2のデジタル値を求める際の精度の向上を図ることができる。

【0010】本発明に係る固体撮像装置は、(1) 入射光強度に応じた値の電流信号を出力する光検出素子と、(2) 光検出素子から出力された電流信号を入力し積分して、この電流信号の積分値に応じた電圧値を出力する積分回路と、(3) 積分回路から出力された電圧値を入力して、この電圧値をデジタル値に変換する上記の本発明に係るA/D変換装置と、を備えることを特徴とする。この固体撮像装置によれば、光検出素子における入射光強度に応じた値の電流信号は、光検出素子から出力されて積分回路において積分され、この電流信号の積分値に応じた電圧値が積分回路から出力される。積分回路から出力された電圧値(アナログ値)は、上記のA/D変換装置によりデジタル値に変換される。

【0011】

【発明の実施の形態】以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【0012】図1は、本実施形態に係るA/D変換装置を含む固体撮像装置1の構成図である。この固体撮像装置1は、M個のユニットU₁～U_M(Mは1以上の整数)を備えており、各ユニットU_i(iは1以上M以下の任意の整数)は、複数組のフォトダイオード(光検出素子)PDおよびスイッチ素子SW、積分回路10、第1のA/D変換回路20、スイッチ素子SW1およびSW2を有する。また、この固体撮像装置1は、増幅回路30、第2のA/D変換回路40および制御回路50を備えている。

【0013】各ユニットU_iにおいて、各フォトダイオードPDは、アノード端子が接地され、カソード端子がスイッチ素子SWを介して積分回路10の入力端に接続されており、入射光強度に応じた値の電流信号を積分回路10へ出力する。各ユニットU_iの積分回路10は、フォトダイオードPDから出力された電流信号を入力し積分して、この電流信号の積分値に応じた電圧値を出力する。

【0014】各ユニットU_iの第1のA/D変換回路20は、積分回路10から出力された電圧値を入力し、この電圧値(第1のアナログ値)A1を8ビットの第1の

デジタル値(D₁₁～D₁₈)に変換して、この第1のデジタル値をスイッチ素子SW1を介して出力する。また、第1のA/D変換回路20は、第1のデジタル値(D₁₁～D₁₈)に対応するアナログ値と第1のアナログ値A1との差に応じた電圧値A2を、スイッチ素子SW2を介して増幅回路30へ出力する。

【0015】増幅回路30は、各ユニットU_iの第1のA/D変換回路20からスイッチ素子SW2を介して順次出力された電圧値A2を入力し、この電圧値A2に基づいて、第1のデジタル値に対応する電圧値(アナログ値)と入力した電圧値(第1のアナログ値)A1との差を示す電圧値を増幅して電圧値(第2のアナログ値)A3として第2のA/D変換回路40へ出力する。第2のA/D変換回路40は、増幅回路30から出力された電圧値(第2のアナログ値)A3を入力し、この電圧値(第2のアナログ値)A3を4ビットの第2のデジタル値(D₂₁～D₂₄)に変換して出力する。

【0016】第1のA/D変換回路20、増幅回路30および第2のA/D変換回路40は、本実施形態に係るA/D変換装置に含まれるものである。第1のA/D変換回路20から出力された第1のデジタル値(D₁₁～D₁₈)と第2のA/D変換回路40から出力された第2のデジタル値(D₂₁～D₂₄)とを連結した12ビットのデジタル値(D₁₁～D₂₄)は、積分回路10から出力された電圧値(第1のアナログ値)A1をA/D変換したものである。

【0017】図示していないが、制御回路50は、各フォトダイオードPDと積分回路10との間に設けられたスイッチ素子SWの開閉を制御して、各フォトダイオードPDと積分回路10とを順次に接続する。制御回路50は、第1のA/D変換回路20の後段に設けられたスイッチ素子SW1およびSW2それぞれの開閉を制御して、各ユニットU_iから順次に第1のデジタル値(D₁₁～D₁₈)および電圧値A2を出力させる。制御回路50は、積分回路10に含まれるスイッチ素子および第1のA/D変換回路20に含まれるスイッチ素子それぞれの開閉を制御して所要の動作を行わせる。また、制御回路50は、増幅回路30および第2のA/D変換回路40それぞれに含まれるスイッチ素子の開閉を制御して所要の動作を行わせる他、増幅回路30および第2のA/D変換回路40それぞれの動作または停止の制御を行う。

【0018】図2は、積分回路10の回路図である。この積分回路10は、入力端と出力端との間にアンプA₁₁、容量素子C₁₁およびスイッチ素子SW₁₁が並列的に設けられている。容量素子C₁₁は、アンプA₁₁の入力端子と出力端子との間に設けられており、スイッチ素子SW₁₁が開いているときに入力端に入力した電流信号すなわち電荷を蓄積する。スイッチ素子SW₁₁は、アンプA₁₁の入力端子と出力端子との間に設けられており、開

いているときには容量素子 C_{10} に電荷の蓄積を行わせ、閉じているときには容量素子 C_{11} における電荷の蓄積をリセットする。

【0019】図3は、第1のA/D変換回路20の回路図である。この第1のA/D変換回路20は、可変容量積分回路210、比較回路220および容量制御部230を備える。可変容量積分回路210は、容量素子 C_{101} 、アンプ A_{101} 、可変容量部 C_{100} およびスイッチ素子 SW_{101} を備える。

【0020】アンプ A_{101} は、積分回路10から出力された電圧値（第1のアナログ値） $A1$ を、容量素子 C_{101} を介して反転入力端子に入力する。アンプ A_{101} の非反転入力端子は接地されている。可変容量部 C_{100} は、容量が可変であって制御可能であり、アンプ A_{101} の反転入力端子と出力端子との間に設けられ、入力した電圧値 $A1$ に応じて電荷を蓄える。スイッチ素子 SW_{101} は、アンプ A_{101} の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部 C_{100} に電荷の蓄積を行わせ、閉じているときには可変容量部 C_{100} における電荷蓄積をリセットする。そして、可変容量積分回路210は、積分回路10から出力された電圧値 $A1$ を入力し、可変容量部 C_{100} の容量に応じて積分し、積分値に応じた電圧値を出力する。

【0021】比較回路220は、可変容量積分回路210から出力された電圧値を反転入力端子に入力し、一定の基準電圧値 V_{ref} を非反転入力端子に入力し、これら2つの入力信号の値を大小比較して、この比較結果を示*

$$C_{211} = 2C_{212} = 4C_{213} = 8C_{214} = 16C_{215} = 32C_{216} = 64C_{217} = 128C_{218} \dots (1)$$

なる関係式を満たす。

【0023】この可変容量部 C_{100} の容量値は、スイッチ素子 $SW_{111} \sim SW_{118}$ および $SW_{121} \sim SW_{128}$ それぞれの開閉状態に依存する。すなわち、スイッチ素子 $SW_{111} \sim SW_{118}$ が全て閉じてスイッチ素子 $SW_{121} \sim SW_{128}$ が全て開いているときには、可変容量部 C_{100} の容量値は最大値である $255C_{111}$ となる。スイッチ素子 $SW_{111} \sim SW_{118}$ のうちスイッチ素子 SW_{111} のみが開き、スイッチ素子 $SW_{112} \sim SW_{118}$ のうちスイッチ素子 SW_{112} のみが閉じているときには、可変容量部 C_{100} の容量値は $254C_{111}$ となる。スイッチ素子 $SW_{111} \sim SW_{118}$ のうちスイッチ素子 SW_{111} のみが開き、スイッチ素子 $SW_{112} \sim SW_{118}$ のうちスイッチ素子 SW_{112} のみが閉じているときには、可変容量部 C_{100} の容量値は $253C_{111}$ となる。スイッチ素子 $SW_{111} \sim SW_{118}$ のうちスイッチ素子 SW_{111} および SW_{112} のみが開き、スイッチ素子 $SW_{113} \sim SW_{118}$ のうちスイッチ素子 SW_{113} および SW_{114} のみが閉じているときには、可変容量部 C_{100} の容量値は $252C_{111}$ となる。このように、スイッチ素子 $SW_{111} \sim SW_{118}$ および $SW_{121} \sim SW_{128}$ それぞれの開閉により、可変容量部 C_{100} の容量値は $k \cdot C$

*す信号を出力する。容量制御部230は、比較回路220から出力された信号を入力し、この信号に基づいて可変容量部 C_{100} の容量を制御する容量指示信号 $C1$ を出力するとともに、この信号に基づいて電圧値の値と基準電圧値 V_{ref} とが所定の分解能で一致していると判断した場合に可変容量部 C_{100} の容量値に応じた第1のデジタル値（ $D_{11} \sim D_{18}$ ）を出力する。また、可変容量積分回路210から比較回路220へ出力される電圧値は、電圧値 $A2$ として増幅回路30へも出力される。この電圧値 $A2$ は、第1のデジタル値（ $D_{11} \sim D_{18}$ ）に対応するアナログ値と第1のアナログ値 $A1$ との差に基準電圧値 V_{ref} が加えられたものである。

【0022】図4は、第1のA/D変換回路20の可変容量部 C_{100} の回路図である。この可変容量部 C_{100} は、容量素子 $C_{111} \sim C_{118}$ 、スイッチ素子 $SW_{111} \sim SW_{118}$ およびスイッチ素子 $SW_{121} \sim SW_{128}$ を備える。容量素子 C_{111} およびスイッチ素子 SW_{111} は、互いに縦続接続されて、アンプ A_{101} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{111} は、容量素子 C_{111} およびスイッチ素子 SW_{111} の接続点と接地電位との間に設けられている（ $n=1 \sim 8$ ）。スイッチ素子 $SW_{121} \sim SW_{128}$ および $SW_{121} \sim SW_{128}$ それぞれは、容量制御部230から出力された容量指示信号 $C1$ に基づいて開閉する。また、容量素子 $C_{111} \sim C_{118}$ それぞれ容量値は、

【数1】

30 \dots （ k は0以上255以下の整数）の何れかの値となる。

【0024】したがって、この第1のA/D変換回路20では、可変容量積分回路210、比較回路220および容量制御部230からなるフィードバックループにおいて、比較回路220からの出力値に基づいて、可変容量積分回路210からの出力電圧値と基準電圧値 V_{ref} との差の絶対値が最小となるように、可変容量部 C_{100} の各スイッチの開閉状態（すなわち可変容量部 C_{100} の容量値）が容量制御部230により制御される。そして、上記差の絶対値が最小となった時点で、可変容量部 C_{100} の8個のスイッチ素子 $SW_{111} \sim SW_{118}$ それぞれの開閉状態に応じて8ビットの第1のデジタル値（ $D_{11} \sim D_{18}$ ）が容量制御部230から出力される。

【0025】図5は、増幅回路30の回路図である。この増幅回路30は、入力端と出力端との間に、スイッチ素子 SW_{21} 、容量素子 C_{21} 、スイッチ素子 SW_{22} およびアンプ A_{21} が直列的に設けられている。スイッチ素子 SW_{21} と容量素子 C_{21} との接続点はスイッチ素子 SW_{22} を介して基準電圧値 V_{ref} が供給され、容量素子 C_{21} とスイッチ素子 SW_{22} との接続点はスイッチ素子 SW_{21} を介

して基準電圧値 V_{ref} が供給される。また、アンプ A_{11} の反転入力端子と出力端子との間に並列的に容量素子 C_{11} およびスイッチ素子 SW_{11} が設けられている。アンプ A_{11} の非反転入力端子には基準電圧値 V_{ref} が供給される。なお、この増幅回路30における基準電圧値 V_{ref} は、第1のA/D変換回路20の比較回路220の非反転入力端子に入力する基準電圧値 V_{ref} と等しい。

【0026】容量素子 C_{11} は、アンプ A_{11} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{11} が開いているときに入力端子より容量素子 C_{11} を介して入力した電流信号すなわち電荷を蓄積する。スイッチ素子 SW_{11} は、アンプ A_{11} の反転入力端子と出力端子との間に設けられており、開いているときには容量素子 C_{11} に電荷の蓄積を行わせ、閉じているときには容量素子 C_{11} における電荷の蓄積をリセットする。この増幅回路30は、第1のA/D変換回路20から出力された電圧値A2を入力し、スイッチ素子 $SW_{11} \sim SW_{14}$ それぞれの所定のタイミングの開閉により、この電圧値A2から基準電圧値 V_{ref} を差し引いて、第1のデジタル値($D_1 \sim D_4$)に対応するアナログ値と第1のアナログ値A1との差を求め、容量素子 C_{11} および C_{12} それぞれの容量値の比に応じた利得で増幅して、この増幅された結果である電圧値A3を第2のA/D変換回路40へ出力する。

【0027】図6は、第2のA/D変換回路40の回路図である。この第2のA/D変換回路40は、可変容量積分回路410、比較回路420および容量制御部430を備える。可変容量積分回路410は、容量素子 C_{11} 、アンプ A_{11} 、可変容量部 C_{10} およびスイッチ素子 SW_{11} を備える。

【0028】アンプ A_{11} は、増幅回路30から出力された電圧値(第2のアナログ値)A3を、容量素子 C_{11} を介して反転入力端子に入力する。アンプ A_{11} の非反転入力端子は接地されている。可変容量部 C_{10} は、容量が可変であって制御可能であり、アンプ A_{11} の反転入力端子と出力端子との間に設けられ、入力した電圧値A3に応じて電荷を蓄える。スイッチ素子 SW_{11} は、アンプ A_{11} の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部 C_{10} に電荷の蓄積を行わせ、閉じているときには可変容量部 C_{10} における電荷蓄積をリセットする。そして、可変容量積分回路410は、増幅回路30から出力された電圧値A3を入力し、可変容量部 C_{10} の容量に応じて積分し、積分値に応じた電圧値を出力する。

【0029】比較回路420は、可変容量積分回路410から出力された電圧値を反転入力端子に入力し、一定の基準電圧値 V_{ref} を非反転入力端子に入力し、これら2つの入力値の差を求め、この差を示す電圧値を出力する。容量制御部430は、比較回路420から出力された電圧値を入力し、この電圧値に基づいて可変容量部C

C_{10} の容量を制御する容量指示信号C2を出力するとともに、この電圧値に基づいて積分値と基準電圧値 V_{ref} とが所定の分解能で一致していると判断した場合に可変容量部 C_{10} の容量値に応じた第2のデジタル値($D_5 \sim D_8$)を出力する。

【0030】図7は、第2のA/D変換回路40の可変容量部 C_{10} の回路図である。この可変容量部 C_{10} は、容量素子 $C_{11} \sim C_{14}$ 、スイッチ素子 $SW_{11} \sim SW_{14}$ およびスイッチ素子 $SW_{11} \sim SW_{14}$ を備える。容量素子 C_{11} およびスイッチ素子 SW_{11} は、互いに縦続接続されて、アンプ A_{11} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{11} は、容量素子 C_{11} およびスイッチ素子 SW_{11} の接続点と接地電位との間に設けられている($n=1 \sim 4$)。スイッチ素子 $SW_{11} \sim SW_{14}$ および $SW_{11} \sim SW_{14}$ それぞれは、容量制御部430から出力された容量指示信号C2に基づいて開閉する。また、容量素子 $C_{11} \sim C_{14}$ それぞれ容量値は、

【数2】

$$C_{11} = 2C_{12} = 4C_{13} = 8C_{14} \quad \dots(2)$$

なる関係式を満たす。

【0031】この可変容量部 C_{10} の容量値は、スイッチ素子 $SW_{11} \sim SW_{14}$ および $SW_{11} \sim SW_{14}$ それぞれの開閉状態に依存する。すなわち、スイッチ素子 $SW_{11} \sim SW_{14}$ が全て閉じてスイッチ素子 $SW_{11} \sim SW_{14}$ が全て開いているときには、可変容量部 C_{10} の容量値は最大値である $15C_{11}$ となる。スイッチ素子 $SW_{11} \sim SW_{14}$ のうちスイッチ素子 SW_{11} のみが開き、スイッチ素子 $SW_{11} \sim SW_{14}$ のうちスイッチ素子 SW_{12} のみが閉じているときには、可変容量部 C_{10} の容量値は $14C_{11}$ となる。スイッチ素子 $SW_{11} \sim SW_{14}$ のうちスイッチ素子 SW_{11} のみが開き、スイッチ素子 $SW_{11} \sim SW_{14}$ のうちスイッチ素子 SW_{12} のみが閉じているときには、可変容量部 C_{10} の容量値は $13C_{11}$ となる。スイッチ素子 $SW_{11} \sim SW_{14}$ のうちスイッチ素子 SW_{11} および SW_{12} のみが開き、スイッチ素子 $SW_{11} \sim SW_{14}$ のうちスイッチ素子 SW_{11} および SW_{12} のみが閉じているときには、可変容量部 C_{10} の容量値は $12C_{11}$ となる。このように、スイッチ素子 $SW_{11} \sim SW_{14}$ および $SW_{11} \sim SW_{14}$ それぞれの開閉により、可変容量部 C_{10} の容量値は $k \cdot C_{11}$ (k は0以上15以下の整数)の何れかの値となる。

【0032】したがって、この第2のA/D変換回路40では、可変容量積分回路410、比較回路420および容量制御部430からなるフィードバックループにおいて、比較回路420からの出力値に基づいて、可変容量積分回路410からの出力電圧値と基準電圧値 V_{ref} との差の絶対値が最小となるように、可変容量部 C_{10} の各スイッチの開閉状態(すなわち可変容量部 C_{10} の

容量値)が容量制御部430により制御される。そして、上記差の絶対値が最小となった時点での可変容量部 $C_{1,1}$ の4個のスイッチ素子 $SW_{1,1} \sim SW_{1,4}$ それぞれの開閉状態に応じて4ビットの第2のデジタル値($D_{1,1} \sim D_{1,4}$)が容量制御部430から出力される。

【0033】なお、第1のA/D変換回路20から出力される8ビットの第1のデジタル値($D_{1,1} \sim D_{1,8}$)と第2のA/D変換回路40から出力される4ビットの第2のデジタル値($D_{1,1} \sim D_{1,4}$)とを連結した12ビットのデジタル値($D_{1,1} \sim D_{1,12}$)が、積分回路10から出力された電圧値(第1のアナログ値)A1をA/D変換したものととなるように、第1のA/D変換回路20に含まれる各容量素子の容量値、第1のA/D変換回路20における基準電圧値 $V_{ref,1}$ 、増幅回路30に含まれる各容量素子の容量値、第2のA/D変換回路40に含まれる各容量素子の容量値、および、第2のA/D変換回路40における基準電圧値 $V_{ref,2}$ が設定される。

【0034】次に、本実施形態に係る固体撮像装置1およびA/D変換装置の動作について説明する。各ユニットU_iにおいて、フォトダイオードPDから出力された電流信号は、スイッチ素子SWを経て積分回路10に20 入力し、この積分回路10の容量素子 $C_{1,1}$ に電荷が蓄積されることで、入力した電流信号の値に応じた電圧値(第1のアナログ値)A1が出力される。積分回路10から出力された電圧値は第1のA/D変換回路20に入力する。そして、この第1のA/D変換回路20において、可変容量積分回路210、比較回路220および容量制御部230からなるフィードバックループの動作により、電圧値(第1のアナログ値)A1が8ビットの第1のデジタル値($D_{1,1} \sim D_{1,8}$)に変換される。また、第1のA/D変換回路20の可変容量積分回路210からは、第1のデジタル値に対応する電圧値(アナログ値)と入力した電圧値(第1のアナログ値)A1との差に応じた電圧値A2が出力される。ここまで各ユニットU_iは30 並列に動作する。

【0035】制御回路50による制御により第2のA/D変換回路40が動作可能状態にあるときには、各ユニットU_iの第1のA/D変換回路20から出力された第1のデジタル値($D_{1,1} \sim D_{1,8}$)は、制御回路50により制御されたスイッチ素子SW1を介して順次に出力され40 るとともに、各ユニットU_iの第1のA/D変換回路20から出力された電圧値A2は、制御回路50により制御されたスイッチ素子SW2を介して順次に増幅回路30へ出力される。各ユニットU_iから順次に出力された電圧値A2に基づいて、第1のデジタル値($D_{1,1} \sim D_{1,8}$)に対応するアナログ値と第1のアナログ値A1との差が増幅回路30により増幅されて、増幅された電圧値(第2のアナログ値)A3が増幅回路30から第2のA/D変換回路40へ出力される。そして、この第2のA/D変換回路40において、可変容量積分回路41

0、比較回路420および容量制御部430からなるフィードバックループの動作により、電圧値(第2のアナログ値)A3が4ビットの第2のデジタル値($D_{1,1} \sim D_{1,4}$)に変換される。このようにして、積分回路10から出力された電圧値(第1のアナログ値)A1をA/D変換した結果として、計12ビットのデジタル値($D_{1,1} \sim D_{1,12}$)が固体撮像装置1から出力される。そして、各ユニットU_i内の各フォトダイオードPDに対応するスイッチ素子SWならびに第1のA/D変換回路20の後段にあるスイッチ素子SW1およびSW2を順次に開閉することで、この固体撮像装置1に含まれる多数のフォトダイオードPDそれぞれの入射光強度が12ビットのデジタル値($D_{1,1} \sim D_{1,12}$)として得られる。

【0036】一方、制御回路50による制御により第2のA/D変換回路40が動作停止状態にあるときには、各ユニットU_iの第1のA/D変換回路20から出力された第1のデジタル値($D_{1,1} \sim D_{1,8}$)は、制御回路50により制御されたスイッチ素子SW1を介して順次に出力される。しかし、各ユニットU_iのスイッチ素子SW2は制御回路50により制御されて開いたままである。また、増幅回路30および第2のA/D変換回路40は動作しない。このようにして、積分回路10から出力された電圧値(第1のアナログ値)A1をA/D変換した結果として、8ビットのデジタル値($D_{1,1} \sim D_{1,8}$)が固体撮像装置1から出力される。そして、各ユニットU_i内の各フォトダイオードPDに対応するスイッチ素子SWおよび第1のA/D変換回路20の後段にあるスイッチ素子SW1を順次に開閉することで、この固体撮像装置1に含まれる多数のフォトダイオードPDそれぞれの入射光強度が8ビットのデジタル値($D_{1,1} \sim D_{1,8}$)として得られる。

【0037】以上のように、本実施形態に係る固体撮像装置1およびA/D変換装置によれば、制御回路50による制御により第2のA/D変換回路40が動作可能状態にあるときには、固体撮像装置1に含まれる多数のフォトダイオードPDそれぞれの入射光強度が12ビットのデジタル値($D_{1,1} \sim D_{1,12}$)として得られる。したがって、このときには、出力されるデジタル値のビット数が多く、高精度の撮像が可能である。

【0038】一方、制御回路50による制御により第2のA/D変換回路40が動作停止状態にあるときには、固体撮像装置1に含まれる多数のフォトダイオードPDそれぞれの入射光強度が8ビットのデジタル値($D_{1,1} \sim D_{1,8}$)として得られる。したがって、出力されるデジタル値のビット数が少ないものの、高速の撮像が可能であり、また、消費電力が低い。

【0039】本実施形態に係る固体撮像装置1およびA/D変換装置を用いれば、例えば、精度が低くてもよいが高速で動画を撮像する必要があるときには、制御回路50による制御により第2のA/D変換回路40を動作

停止状態として、その動画を撮像する。一方、低速でもよいが高精度で静止画を撮像する必要があるときには、制御回路50による制御により第2のA/D変換回路40を動作可能状態として、その静止画を撮像する。このように、必要に応じてA/D変換処理すなわち撮像動作の高速化または高精度化を図ることができる。

【0040】また、本実施形態においてパラメータMの値が2以上であるとき、すなわち、複数の第1のA/D変換回路20に対して1組の増幅回路30および第2のA/D変換回路40が設けられているときには、更に低消費電力化を図ることができる。また、第1のA/D変換回路20と第2のA/D変換回路40との間に増幅回路30を設けたことにより、第2のデジタル値を求める際の精度の向上を図ることができる。

【0041】本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、積分回路10、第1のA/D変換回路20、増幅回路30および第2のA/D変換回路40それぞれの具体的な回路構成は、上記実施形態に限定されるものではない。また、上記実施形態では、第1のA/D変換回路20から出力される第1のデジタル値を8ビットとし、第2のA/D変換回路40から出力される第2のデジタル値を4ビットとしたが、これに限定されるものではない。

【0042】

【発明の効果】以上、詳細に説明したとおり、本発明に係るA/D変換装置によれば、制御手段による制御により第2のA/D変換回路が動作可能状態にあるときには、入力した第1のアナログ値は第1および第2のA/D変換回路によりA/D変換されて、第1のデジタル値およびこれの下位の第2のデジタル値が出力されるので、高精度化を図ることができる。一方、制御手段による制御により第2のA/D変換回路が動作停止状態にあるときには、入力した第1のアナログ値は第1のA/D変換回路のみによりA/D変換されて、第1のデジタル値が出力されるので、高速化・低消費電力化を図ることができる。また、本発明に係る固体撮像装置によれば、光検出素子における入射光強度に応じた値の電流信号は、光検出素子から出力されて積分回路において積分され、この電流信号の積分値に応じた電圧値が積分回路から出力される。積分回路から出力された電圧値（アナログ値）は、上記のA/D変換装置によりデジタル値に変

換される。したがって、このA/D変換装置または固体撮像装置を用いれば、例えば、制御回路50による制御により第2のA/D変換回路40を動作停止状態として、高速で動画を撮像することができ、制御回路50による制御により第2のA/D変換回路40を動作可能状態として、高精度で静止画を撮像することができる。このように、必要に応じてA/D変換処理すなわち撮像動作の高速化または高精度化を図ることができる。

【0043】また、複数の第1のA/D変換回路に対して1個の第2のA/D変換回路が設けられているのが好適である。この場合には、複数の第1のA/D変換回路それぞれは並列動作が可能であるのに対して、第2のA/D変換回路は、複数の第1のA/D変換回路それぞれにおける上記差を示す第2のアナログ値を順次に入力してA/D変換することで、更に低消費電力化を図ることができる。

【0044】また、差を増幅して第2のアナログ値とする増幅回路を更に備えるのが好適である。この場合には、第1のA/D変換回路における上記差を示す電圧値が増幅回路により増幅され、第2のA/D変換回路は、この増幅された電圧値を第2のアナログ値として入力してA/D変換することで、第2のデジタル値を求める際の精度の向上を図ることができる。

【図面の簡単な説明】

【図1】本実施形態に係るA/D変換装置を含む固体撮像装置1の構成図である。

【図2】積分回路10の回路図である。

【図3】第1のA/D変換回路20の回路図である。

【図4】第1のA/D変換回路20の可変容量部C₁の回路図である。

【図5】増幅回路30の回路図である。

【図6】第2のA/D変換回路40の回路図である。

【図7】第2のA/D変換回路40の可変容量部C₂の回路図である。

【符号の説明】

1…固体撮像装置、10…積分回路、20…第1のA/D変換回路、30…増幅回路、40…第2のA/D変換回路、50…制御回路、210…可変容量積分回路、220…比較回路、230…容量制御部、410…可変容量積分回路、420…比較回路、430…容量制御部。